

| | | |
|------|------|------|
| none | none | none |
|------|------|------|

© EPODOC / EPO

PN - JP61144181 A 19860701
PD - 1986-07-01
PR - JP19840265309 19841218
OPD - 1984-12-18
TI - SAMPLING CLOCK REPRODUCING CIRCUIT
IN - NOGUCHI MINORU; TANABE TOSHIYUKI
PA - TOKYO SHIBAURA ELECTRIC CO; TOSHIBA AUDIO VIDEO ENG
IC - H04N7/00 ; H04N7/08

© WPI / DERWENT

TI - Sampling-clock restoration circuit for teletext TV receiver - has optimum phase discriminator circuit which selects optimum clock
NoAbstract DWg 4/10
PR - JP19840265309 19841218
PN - JP61144181 A 19860701 DW198632 016pp
PA - (TOSA) TOSHIBA AUDIO VIDEO ENG CO
- (TOKE) TOSHIBA KK
IC - H04N7/08
OPD - 1984-12-18
AN - 1986-209995 [32]

© PAJ / JPO

PN - JP61144181 A 19860701
PD - 1986-07-01
AP - JP19840265309 19841218
IN - NOGUCHI MINORU; others01
PA - TOSHIBA CORP; others:01
TI - SAMPLING CLOCK REPRODUCING CIRCUIT
AB - PURPOSE: To reproduce sampling clock of exact phase by detecting change of polarity of a clock line signal at plural phase positions and determining optimum phase position from the phase distribution data.
- CONSTITUTION: One period of a clock line signal CRS is sampled plural bits in a sampling circuit 11 by plural clocks CK0-CK7 of different phase, and the state of polarity of the clock line signal CRS for plural clock phases is detected by a phase detecting circuit 12 from the sampling data of plural bits. An optimum phase deciding circuit 14 decides optimum phase of sampling clock using the state of polarity, and a clock selecting circuit 15 selects a clock signal

| | | |
|------|------------------------------------|------|
| none | Copied from 10656143 on 17-01-2004 | none |
|------|------------------------------------|------|

none

none

none

having the optimum phase out of plural clocks and makes it a sampling clock SAS. Thus, the reproduction of exact clock of sampling clock is made possible even if the duty ratio of signals for sampling synchronization changes.

- | - H04N7/08 ;H04N7/00

none

Copied from 10656143 on 17-01-2004

none

Copied from 10656143 on 17-01-2004

⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A) 昭61-144181

⑬Int.Cl.1

H 04 N 7/08
7/00

識別記号

厅内整理番号

7013-5C
7013-5C

⑭公開 昭和61年(1986)7月1日

審査請求 未請求 発明の数 1 (全 7 頁)

⑮発明の名称 サンプリングロック再生回路

⑯特 願 昭59-265309

⑰出 願 昭59(1984)12月18日

⑱発明者 野 口 稔 深谷市幡羅町1-9-2 東芝オーディオ・ビデオエンジニアリング株式会社深谷事業所内

⑲発明者 田 辺 俊 行 深谷市幡羅町1-9-2 株式会社東芝深谷工場内

⑳出願人 株式会社 東 芝 川崎市幸区堀川町72番地

㉑出願人 東芝オーディオ・ビデオエンジニアリング株式会社 東京都港区新橋3丁目3番9号

㉒代理人 弁理士 則近 勝佑 外1名

明細書

1. 発明の名称

サンプリングクロック再生回路

2. 特許請求の範囲

サンプリングされるべきデータに先立って伝送されるクロックランイン信号の一周期を、該クロックランイン信号の一周期を位相分割した夫々位相の異なる複数のクロックで、夫々複数ビットサンプリングするサンプリング回路と、

このサンプリング回路から出力される各複数ビットのサンプルデータにより、前記クロックランイン信号の前記複数のクロックの位相に対する夫々の極性状態を検出する位相検出回路と、

この位相検出回路の各位相検出出力により、前記複数のクロックの位相から前記サンプリングされるべきデータをサンプリングするのに最適な位相を判定する最適位相判定回路と、

この最適位相判定回路により判定された最適位相を有するクロックを、前記位相の異なる複数のクロックから選択してサンプリングクロックとし

て出力するクロック選択回路とを具備したことを特徴とするサンプリングクロック再生回路。

3. 発明の詳細な説明

[発明の技術分野]

本発明は、サンプリングクロック再生回路に係り、特に文字放送システムの受信装置等のようにデータに先立って伝送されるサンプリング同期用のクロック信号を受信し、このクロック信号に正確に同期したサンプリングクロックを再生するサンプリングクロック再生回路に関する。

[発明の技術的背景とその問題点]

テレビジョン信号の垂直消線期間内で今まで無信号部分であった水平走査期間に、ディジタル信号を重畳して伝送し、受信装置では上記ディジタル信号をサンプリングして画像メモリに蓄積し、画像表示する文字放送システムが開発されている。この文字放送システムにおいては、ディジタル信号の先頭位置に '1010……10' の16ビットのクロックランイン信号 C R S を設けて伝送し、このクロックランイン信号 C R S をデータサンプリ

グの為の基準位相信号としている。従って、受信装置では上記クロックランイン信号 C.R.S に位相同期したサンプリングクロック S.A.S を再生し、これによりディジタルデータのサンプリング処理を行なっている。

以下、図面を参照して従来のサンプリングクロック再生回路について説明する。

従来のサンプリングクロック再生回路を示す第 7 図において、端子 71 IC はゲート信号 G.S が入力される。このゲート信号 G.S は、クロックランイン信号 C.R.S の一部の位置に同期して発生されるもので、例えば水平同期信号を選択して作られる。端子 72 には映像検波したビデオ信号を所定レベルでスライスしたディジタル信号が加えられ、ここにクロックランイン信号 C.R.S が現われる。また端子 73 には、サンプリングクロック S.A.S よりも充分周波数の高いクロック信号 C.K.S が与えられる。ゲート信号 G.S 及びクロックランイン信号 C.R.S はアンドゲート 74 に入力され、分周回路 75 に対するリセット信号 R.S を発生する。クロック信

いてであるが、実際には、クロックランインビデオ信号は送信装置、伝送経路、受信装置の周波数特性のバラツキの影響等で、減衰してしまう場合がある。以下、この場合の動作を第 9 図及び第 10 図を参照して説明する。

第 10 図 (a) に実線で示すように、理想的な波形をしているクロックランインビデオ信号 C.R.S を所定のスライスレベルでスライスすると、デューティー比 50% のクロックランイン信号 C.R.S' (第 10 図 b) が与えられる。ところが、破線図示の減衰したクロックランインビデオ信号 C.R.S' (第 10 図 c) の場合はデューティー比が変化し、第 10 図 (d) に示すようにデューティー比が 50% でないクロックランイン信号 C.R.S' となってしまう。このデューティー比が変動したクロックランイン信号 C.R.S' によりクロック再生を行なうと第 9 図に示すようになる。即ち、クロックランイン信号 C.R.S' (第 9 図 b) の立下りエッジによって同期をとっているため、クロックランイン信号 C.R.S' の波形の中心の位相が同じでも、デューティー比が変化して立

号 C.K.S は分周回路 75 で分周され、サンプリングクロック S.A.S として出力端子 76 に現われる。

第 8 図に示す上記再生回路のタイミングチャートにおいて、時刻 t_1 からリセット信号 R.S (第 8 図 d) によって分周回路 75 はリセット状態となっている。このリセット状態は、時刻 t_2 でリセット信号 R.S の立下り、即ちクロックランイン信号 C.R.S (第 8 図 b) の立下りによって解除され、次の最初のクロック信号 C.K.S (第 8 図 e) の立上りである時刻 t_3 から分周回路 75 は分周動作を開始する。ここで、クロック信号 C.K.S として、サンプリングクロック S.A.S (第 8 図 e) の 4 倍の周波数のクロックを用いているので、分周回路 75 の分周比は 4 に設定する。従って、端子 76 にはクロックランイン信号 C.R.S の立下りエッジを基準としたサンプリングクロック S.A.S を得ることができる。時刻 t_{s1}, t_{s2}, \dots はサンプリングのタイミングを示している。

上述の動作説明は、クロックランインビデオ信号が正常であり理想的な波形をしている場合につ

下りエッジの位置 (時刻 t_2) が変化すると、サンプリングクロック S.A.S の位相が乱されてしまう。

また、ビデオ信号をスライスするスライスレベルが最適でない場合にもデューティー比の変動が発生し、上述したサンプリングクロック S.A.S の位相が変化する欠点があった。

(発明の目的)

本発明の目的は、クロックランイン信号の様なサンプリング同期用の信号のデューティー比が変動しても、サンプリング位相の正確なクロックを再生可能なサンプリングクロック再生回路を提供することにある。

(発明の概要)

この発明では、例えば第 1 図に示すように、サンプリング回路 11 によってクロックランイン信号 C.R.S の一周期を夫々位相の異なる複数のクロック CK0 ~ CK7 で夫々複数ビットサンプリングし、この複数ビットのサンプリングデータにより位相検出回路 12 が上記複数のクロック位相に対する上記クロックランイン信号 C.R.S の極性状態を検出

桂圓晶白

第5图C-R3的逻辑功能正好与图5-2相反。图5-2是先对输入信号C-R3进行译码，再由译码输出信号去驱动门电路。图5-3是先由译码输出信号去驱动门电路，再由门电路输出信号去驱动译码器。图5-3的译码器是用74LS141来实现的，其译码输出信号有十一个，即Y₀、Y₁、Y₂、Y₃、Y₄、Y₅、Y₆、Y₇、Y₈、Y₉、Y₁₀。图5-3的门电路是由两个与非门74LS00来实现的，其逻辑表达式为：Z=AB+CD+EF+GH+IJ。图5-3的译码输出信号Y₀、Y₁、Y₂、Y₃、Y₄、Y₅、Y₆、Y₇、Y₈、Y₉、Y₁₀与门输出信号Z的关系如表5-2所示。

ANSI TC 52-1970 标准，关于上层协议的输出力由 SBT0-SBT10 提供。第 3 图 b 显示了 CK0-CK7 的输出力（以下简称为回路 12），其反相输出力（以下简称为回路 14）由 CK0-CK7 提供。图中显示了两个回路：回路 12 和回路 14。

回路 12 的输出力由 CK0-CK7 提供，其反相输出力由 CK0-CK7 提供。回路 14 的输出力由 CK0-CK7 提供，其反相输出力由 CK0-CK7 提供。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

图 14 中的 CK0-CK7 提供反相输出力，而图 12 中的 CK0-CK7 提供正相输出力。图中显示了两个回路：回路 12 和回路 14。

ク CK4(第5図1)をサンプリングクロックSA8として選択する。これは、中間の位相位置を選択するほうが、最適位相を得る確率が高いからである。例62の場合は、減衰が微しくデューティ比が著しく変動したことを意味している。また、例63の場合は、雑音等の影響により分布状態が広がっているので、その位相での極性変化はないが例61の場合と同様に中間の位相位置を選択している。

以上説明した選択データの設定は、原則として半周期で極性が反転し、その極性反転した位相の分布のうち、中間の位相位置を選択するように行なえばよい。

以上説明したように、本実施例によれば、クロックランイン信号のCRSの極性変化を複数の位相位置で夫々検出し、その位相分布データから最適な位相位置を決定している。従って、周波数特性のバラツキ等によりクロックランイン信号CRSのデューティー比が50%でない場合でも、サンプリング位相の正確なクロック再生を行なうことができる。さらに、この実施例では積分回路13によ

を再生することができる。

4. 図面の簡単な説明

第1図は本発明のサンプリングクロック再生回路に係る一実施例の概要を示すブロック図、第2図は第1図に示す回路に与えられるクロック信号波形図、第3図は実施例のサンプリング動作を説明する説明図、第4図は実施例の詳細を示す回路図、第5図は実施例の各部の動作を説明するタイミングチャート、第6図は実施例の最適位相判定回路のデータ交換テーブルの構成図、第7図は従来のサンプリングクロック再生回路を示す回路図、第8図及び第9図は第1図の各部の動作を示すタイミングチャート、第10図はクロックランイン信号を示す波形図である。

11…サンプリング回路、12…位相検出回路、
14…最適位相判定回路、15…クロック選択回路。

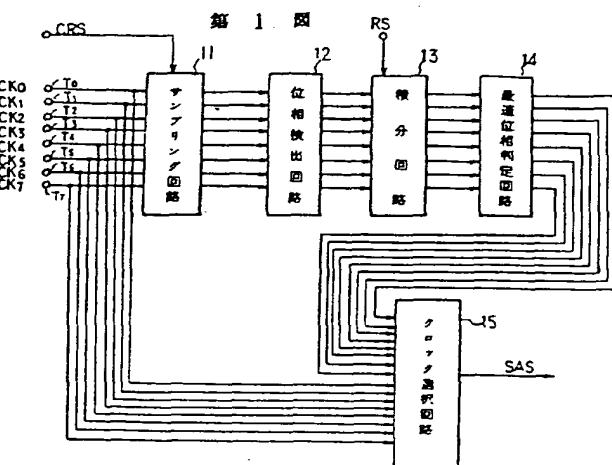
代理人弁理士 則 近 慶 佑
(ほか1名)

って、検出回数を積分して出力しているので、インパルス性雑音等の影響によりサンプリングクロックの位相が変化することなく、安定したサンプリングクロック位相を提供することができる。

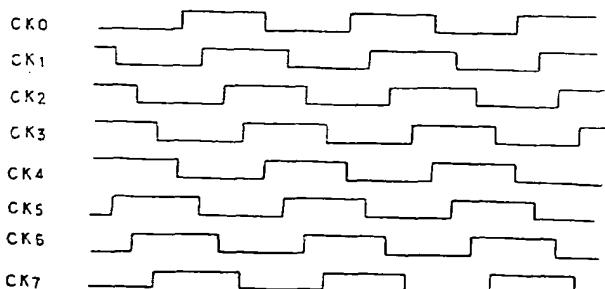
なお、本発明は文字放送システムに限定されるものではなく、データに先立って伝送されるサンプリング同期用のクロック信号を受信し、このクロック信号に同期したサンプリングクロックを再生するシステムに適用できるものである。また、位相検出回路12は極性が'1'から'0'に変化することを検出していたが、「0」から'1'に変化することを検出してもよい。さらにまた、サンプリング回路11は1周期を2ビットサンプリングしたがこれに限定されるものではない。

[発明の効果]

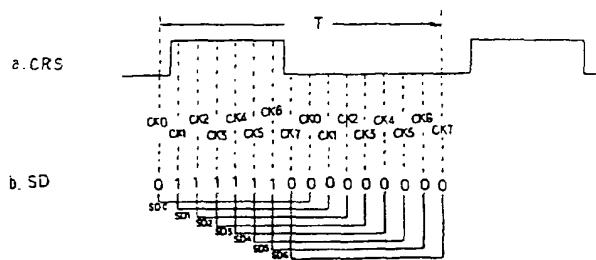
本発明によれば、クロックランイン信号の極性変化を複数の位相位置で夫々検出し、その位相分布データから最適な位相位置を決定しているのでクロックランイン信号のデューティー比が50%でない場合にも正確な位相のサンプリングクロック



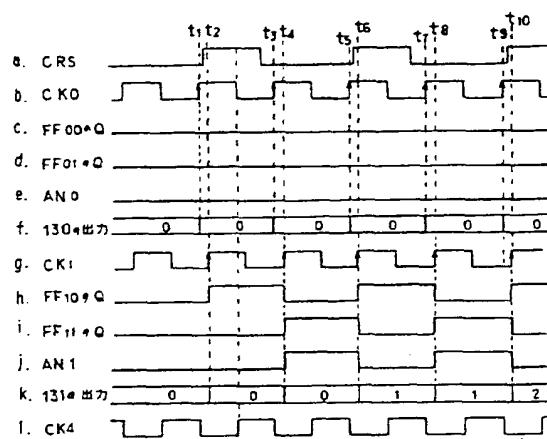
第2図



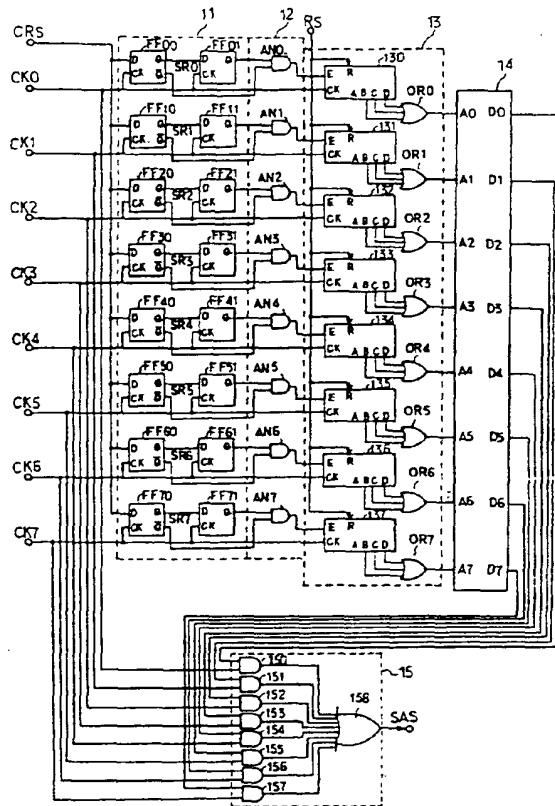
第3図



第5図



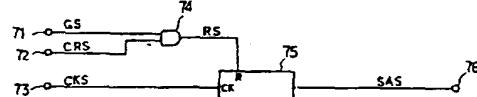
第4図



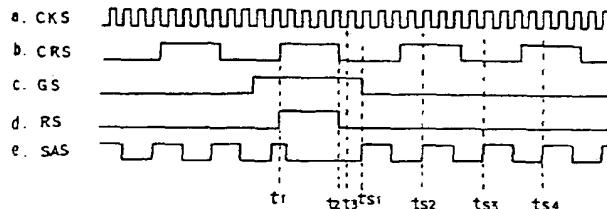
第6図

| アドレス(2進) | データ(16進) |
|-------------------------|-------------|
| A7 A6 A5 A4 A3 A2 A1 A0 | D7-D4 D3-D0 |
| 0 1 1 1 1 0 1 1 | 2 0 |
| 0 1 1 1 1 1 0 0 | 1 0 |
| 0 1 1 1 1 1 0 1 | 1 0 |
| 0 1 1 1 1 1 1 0 | 1 0 |
| 0 1 1 1 1 1 1 1 | 0 8 |
| 1 0 0 0 0 0 0 0 | 80 |
| 1 0 0 0 0 0 0 1 | 0 1 |
| 1 0 0 0 0 0 1 0 | 0 1 |
| 1 0 0 0 0 1 0 0 | 0 2 |
| 1 0 0 0 0 1 0 1 | 0 1 |
| 1 0 0 0 0 1 1 0 | 0 2 |
| 1 0 0 0 0 1 1 1 | 0 2 |
| 1 0 0 0 1 0 0 0 | 0 8 |
| 1 0 0 0 1 0 0 1 | 0 1 |
| 1 0 0 0 1 0 1 0 | 0 2 |

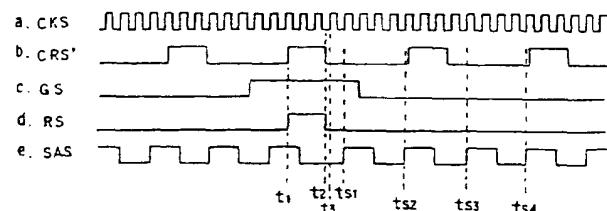
第7図



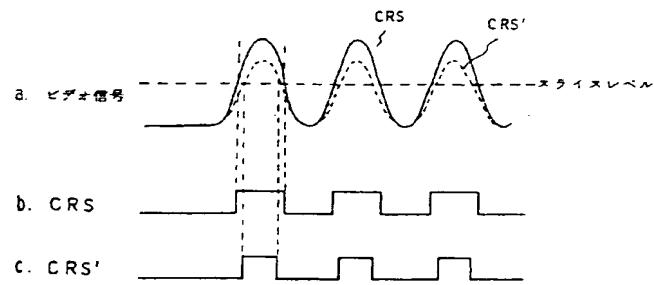
第8図



第9図



第10図



Copied from 10656143 on 17-01-2004